

Docket No.: L&L-I0197

COPY OF PAPERS  
ORIGINALLY FILED

2614  
2631

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf

Date: February 7, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Markus Doetsch et al.  
Applic. No. : 10/008,774  
Filed : November 13, 2001  
Title : Receiver Circuit for a Communications Terminal and Method for  
Processing Signals in a Receiver Circuit  
Art Unit : 2614

CLAIM FOR PRIORITY

RECEIVED

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

MAR 04 2002

Technology Center 2600

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 199 21 444.1, filed May 10, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf

MARKUS NOLFF  
REG. NO. 37,006

For Applicants

Date: February 7, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/kf

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**RECEIVED**

MAR 04 2002

Technology Center 2600

**Aktenzeichen:** 199 21 444.1

**Anmeldetag:** 10. Mai 1999

**Anmelder/Inhaber:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Empfängerschaltung für Kommunikations-  
endgerät und Verfahren zur Signalverarbeitung  
in einer Empfängerschaltung

**IPC:** H 04 B, H 04 Q

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Dezember 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Hoiß

CERTIFIED COPY OF  
PRIORITY DOCUMENT



Beleg  
Patentamt  
Berlin

1

## Beschreibung

Empfängerschaltung für Kommunikationsendgerät und Verfahren zur Signalverarbeitung in einer Empfängerschaltung

5

Die Erfindung betrifft eine Empfängerschaltung für ein Kommunikationsendgerät gemäß dem Oberbegriff des Anspruchs 1 sowie ein Verfahren zur Signalverarbeitung in einer Empfängerschaltung gemäß dem Oberbegriff des Anspruchs 12.

10

In heute üblichen Kommunikationsendgeräten, insbesondere in solchen, die für eine drahtlose Kommunikation vorgesehen sind, werden häufig mehrere (K) Empfangssignale parallel verarbeitet. Im Rahmen einer Signalvorverarbeitung werden die K Empfangssignale dabei zunächst in einen Zwischenfrequenzbereich oder ins Basisband heruntergemischt, dann unabhängig voneinander mittels K Analog-Digital-Umsetzern (A/D-Umsetzern) digitalisiert und nachfolgend - weiterhin unabhängig voneinander - K digitalen Filtern zugeführt, die eine digitale Bandbreitenbegrenzung zum Zwecke einer Kanalselektion durchführen.

15

20

25

Bei dieser Form der Signalvorverarbeitung ist nachteilig, daß aufgrund der vielfachen Verwendung identischer Komponenten ein beträchtlicher Realisierungsaufwand erforderlich ist.

30

Der Erfindung liegt die Aufgabe zugrunde, eine Empfänger-schaltung für ein Kommunikationsendgerät zu schaffen, deren Realisierungsaufwand verhältnismäßig gering gehalten werden kann. Ferner zielt die Erfindung darauf ab, ein Verfahren zur Signalverarbeitung in einer Empfängerschaltung eines Kommunikationsendgerätes anzugeben, durch das der Realisierungsaufwand für die Empfängerschaltung verringert werden kann.

35

Zur Lösung der Aufgabe sind die Merkmale der Ansprüche 1 und 12 vorgesehen.

Die der Erfindung zugrundeliegende Idee besteht darin, ein digitales Filter zur Filterung mehrerer der von den A/D-Umsetzern ausgegebenen Digitalsignale zu nutzen. Dadurch kann die Anzahl der benötigten digitalen Filter reduziert werden, wodurch sowohl die Bauteil- als auch die Montagekosten der erfindungsgemäßen Empfängerschaltung günstig beeinflusst werden.

Bei einer besonders bevorzugten Ausgestaltung der Erfindung ist  $N = 1$ , d.h. es wird insgesamt nur ein einziges digitales Filter zur Bandbreitenbegrenzung der  $K$  von den A/D-Umsetzern ausgegebenen Digitalsignale verwendet.

Nach einer bevorzugten ersten Ausführungsform der Erfindung umfaßt das Konversionsmittel einen Multiplexer. In dem vorstehend betrachteten Fall  $N = 1$  werden die  $K$  Digitalsignale dann in ein einziges Eingangssignal für das digitale Filtermittel (bzw. das einzige digitale Filter desselben) gemultipliziert. Die Verwendung eines Multiplexers ermöglicht somit den Einsatz eines digitalen Filtermittels mit nur einem Eingang.

Eine zweite, ebenfalls bevorzugte Ausführungsform der Erfindung kennzeichnet sich dadurch, daß das Konversionsmittel mehrere, insbesondere  $K$  parallel geschaltete Nullen-Einfügeglieder umfaßt. Da bei der zweiten Ausführungsform kein Multiplexer benötigt wird, ist der Realisierungsaufwand sehr gering. Das Konversionsmittel weist bei dieser Ausführungsform  $K$  Ausgänge auf, so daß ein digitales Filtermittel mit  $K$  Eingängen erforderlich ist.

Die beiden vorstehend beschriebenen Ausführungsformen können miteinander kombiniert werden.

Es ist zu beachten, daß das Konversionsmittel insbesondere auch bei der zweiten Ausführungsform nicht als separates Bauelement vorliegen muß sondern in dem digitalen Filtermittel

integriert und dort im Rahmen der Signalberechnung beispielsweise auch auf Softwareebene realisiert sein kann.

Ein digitales Filter des digitalen Filtermittels kann ein  
5 FIR- oder ein IIR-Filter sein. Mit zunehmender Ordnung  $L$  des digitalen Filters wird einerseits die erreichbare Filtersteilheit, andererseits jedoch auch der erforderliche Rechenaufwand erhöht. Vorzugsweise weist das bzw. die digitalen Filter eine Ordnung  $L$  zwischen 5 und 20, insbesondere zwischen 10 und 18 auf.  
10

Üblicherweise wird im Signalweg hinter einem digitalen Filter eine Dezimation, d.h. eine Reduzierung der Abtastrate vorgenommen. Eine vorteilhafte Maßnahme besteht darin, das digitale Filter in diesem Fall aus einer Mehrzahl von in Reihe  
15 liegenden und alternierend angeordneten digitalen Einzelfiltern und Abtastraten-Reduzierschaltungen aufzubauen. Durch eine derartige Kaskadierung des digitalen Filters (bzw. bei  $N \geq 2$  der digitalen Filter) des Filtermittels kann der für die  
20 Filterung benötigte Rechenaufwand reduziert werden.

Die erfindungsgemäße Nutzung eines digitalen Filters zur Mehrsignalverarbeitung kann bereits in einer Empfängerschaltung mit nur einem Empfangssensor angewendet werden. In einer solchen Empfängerschaltung können nämlich durch Aufspaltung des von dem einen Empfangssensor ausgegebenen Sensorempfangssignals mehrere ( $K$ ) Empfangssignale erzeugt werden, die dann nach dem erfindungsgemäßen Prinzip aufwandsgünstig weiterverarbeitet werden können.  
25

30

Beispielsweise ist es bereits bekannt, in einem Mobilfunkempfänger eine Aufspaltung des Antennenempfangssignals in ein Inphase-Empfangssignal und ein  $90^\circ$  zu diesem phasenverschobenes Quadratur-Empfangssignal vorzunehmen. Das Inphasen- und das Quadratursignal können den gemäß der Erfindung weiterverarbeitet werden.  
35

Eine andere vorteilhafte Ausgestaltung der Erfindung kennzeichnet sich dadurch, daß das Signal-Empfangsmittel mehrere Empfangssensoren enthält.

5 Mehrere Empfangssensoren in Form von mehreren Empfangsantennen werden beispielsweise bei Basisstationen für zellulare Mobilfunksysteme eingesetzt. Jeder Empfangssensor weist dort eine räumlich eingeschränkte Empfangscharakteristik auf, d.h. er kann Funksignale nur aus einem bestimmten Raumsegment entgegennehmen. Durch die mehreren Empfangssensoren wird eine  
10 den ganzen Raum erfassende Empfangscharakteristik geschaffen.

Aber auch bei Empfangssensoren ohne eine derartige Richtempfangscharakteristik kann es vorteilhaft sein, mehrere Empfangssensoren vorzusehen, und zwar deshalb, weil bei einer  
15 Mehrfachdetektion des gleichen Funksignals ein Informationsgewinn erzielbar ist, wodurch im Ergebnis eine Erhöhung der Störfestigkeit des Empfängers erreicht werden kann. Das Prinzip der Mehrfachdetektion kann sowohl in Basisstationen  
20 als auch in Mobilstationen von Mobilfunksystemen genutzt werden, und zwar durch Verwendung räumlich beabstandeter Doppel- oder Mehrfachantennen.

Bei einer Mobilstation kann eine solche Doppelantenne beispielsweise durch die übliche Stabantenne und eine als Planarantenne fest an der Gehäuserückseite angebrachte Zweitantenne ausgebildet sein. Eine andere Möglichkeit besteht darin, daß die Zweitantenne in Form einer zusätzlichen, optionalen, externen Antenne (Wurf- oder Fensterantenne) realisiert  
25 ist, die beispielsweise bei einem Gebrauch der Mobilstation in einem Kraftfahrzeug zum Einsatz kommen kann.  
30

Empfangssensoren mit Richtempfangscharakteristik können natürlich ebenfalls in Form von Doppel- oder Mehrfachantennen  
35 realisiert sein.

Bei einer Gesamtanzahl von  $K$  Empfangssensoren kann jedem Empfangssensor genau ein A/D-Umsetzer zugeordnet sein. Ist gemäß der vorstehend beschriebenen Maßnahme eine Signalaufspaltung der von den Sensoren abgegebenen Signale vorgesehen (beispielsweise in den I- und den Q-Zweig), enthält das Signal-Empfangsmittel der erfindungsgemäßen Empfängerschaltung eine entsprechend geringere Anzahl von Empfangssensoren (beispielsweise  $K/2$ ).

- 10 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird nachfolgend anhand von zwei Ausführungsformen unter Bezugnahme auf die Zeichnung erläutert; in dieser zeigt:

Fig. 1 ein Blockschaltbild eines Funkempfängers zur allgemeinen Erläuterung der Signalverarbeitung in demselben;

- 20 Fig. 2 ein Blockschaltbild einer Signalvorverarbeitungsschaltung mit  $K$  nachgeschalteten DSPs gemäß dem Stand der Technik;

Fig. 3 ein Blockschaltbild einer Signalvorverarbeitungsschaltung mit  $N$  nachgeschalteten DSPs gemäß der Erfindung;

Fig. 4 ein Blockschaltbild einer Signalvorverarbeitungsschaltung für  $N = 1$  gemäß einer ersten Ausführungsform der Erfindung; und

30 Fig. 5 ein Blockschaltbild einer Signalvorverarbeitungsschaltung für  $N = 1$  gemäß einer zweiten Ausführungsform der Erfindung.

- 35 Fig. 1 zeigt in schematischer Weise am Beispiel eines einzigen Kanals den Signalweg einer Empfängerschaltung eines Kommunikationsendgeräts. Ein Empfangssensor (Antenne) 1 nimmt ein

Funksignal entgegen. Ein von dem Empfangssensor 1 ausgegebenes Sensorsignal wird in einem Verstärker 2 verstärkt und einer Mischstufe 3 zugeführt. In der Mischstufe 3 wird das verstärkte Sensorsignal in einen Zwischenfrequenzbereich oder ins Basisband heruntergemischt. Das heruntergemischte Signal wird einem analogen Tiefpaßfilter 4 zugeführt, der das Signal auf eine Bandbreite B begrenzt. Das von dem analogen Tiefpaßfilter 4 ausgegebene Signal wird einer Signalvorverarbeitungsschaltung SV eingegeben, deren Umfang in Fig. 1 durch ein mit gestrichelten Linien gezeichnetes Rechteck dargestellt ist.

Die Signalvorverarbeitungsschaltung SV umfaßt eingangsseitig einen A/D-Umsetzer ADC, der das von dem analogen Tiefpaßfilter 4 ausgegebene bandbreitenbegrenzte Signal abtastet.

Die Abtastung erfolgt mit einer Abtastfrequenz  $f$ , die die Nyquistbedingung ( $f \geq 2B$ ) erfüllt, wobei zur Erzielung einer hohen Genauigkeit gegebenenfalls eine Überabtastung durchgeführt wird. In der Regel wird mehr als ein wertdiskreter Abtastwert pro empfangenem Datensymbol erzeugt, d.h.  $f > 1/T_s$ , wobei  $T_s$  die Symbolzeitdauer ist.

Im Falle von bandspreizenden Nachrichtenübertragungssystemen, beispielsweise Systemen mit Codemultiplex (CDMA: Code Division Multiple Access) oder Radarsystemen, wird eine Abtastrate verwendet, bei der mehr als ein Abtastwert pro Chip, d.h.  $f > 1/T_c$  erzeugt wird.  $T_c$  bezeichnet dabei die Chipzeitdauer, die kleiner als die Symbolzeitdauer ist, da bei bandspreizenden Systemen jedes Symbol mit einer systemstandardabhängig vorgegebenen Anzahl von Chips gespreizt wird.

Das von dem A/D-Umsetzer ADC ausgegebene Digitalsignal wird einem digitalen Filter DF zugeführt. Das digitale Filter führt eine Kanalselektion durch, an die sich eine Dezimation (d.h. eine Reduzierung der Abtastrate) anschließen kann. Die



Dezimation dient dazu, den Rechenaufwand bei der weiteren Signalbearbeitung zu begrenzen.

Die weitere Signalbearbeitung kann mittels eines DSPs 5 durchgeführt werden. Der DSP 5 nimmt das gefilterte Digital-signal entgegen und führt weitere Signalverarbeitungsschritte wie beispielsweise ein Spreizdecodierung, eine adaptive Datendetektion, eine Blockentschachtelung, eine Kanaldecodierung und eine Quellendecodierung durch.

10

Ein am Ausgang des DSPs 5 bereitstehendes Ausgangssignal wird nach einer D/A-Umsetzung (nicht dargestellt) in einem Endverstärker 6 verstärkt und einem geeigneten Ausgabemittel 7, beispielsweise einem Lautsprecher (oder einem LCD-Bildschirm oder ähnlichem) zugeführt.

15

Fig. 2 zeigt ein Blockschaltbild einer K-kanaligen Signalvorverarbeitungsschaltung gemäß dem Stand der Technik.

20

Die Signalvorverarbeitungsschaltung umfaßt K parallele Gruppen ADC(1), DF(1); ADC(2), DF(2); ...; ADC(K), DF(K), die jeweils aus einem ADC und einem DF gemäß Fig. 1 bestehen. Die von den digitalen Filtern DF(1), ..., DF(K) ausgegebenen Signale werden gemäß Fig. 1 einer Signalweiterbearbeitung in K DSPs 5.1, ..., 5.K unterzogen.

25

Das in Fig. 3 dargestellte Blockschaltbild verdeutlicht den Aufbau einer erfindungsgemäßen Signalverarbeitungsschaltung SV.

30

Diese weist K Eingänge auf, die jeweils einem A/D-Umsetzer ADC(1), ..., ADC(K) zugeordnet sind. Die Eingänge werden von einem Signal-Empfangsmittel (nicht dargestellt) gespeist. Dieses kann in vielfältiger Weise realisiert sein. Es kann beispielsweise K parallel zueinander liegende Signalwege der Komponenten 1, 2, 3, 4 gemäß Fig. 1 umfassen. Es ist auch möglich, daß lediglich K/2 Empfangssensoren (Antennen) 1 vor-

35

gesehen sind und durch Signalaufspaltung in die I- und Q-Zweige jeweils zwei Empfangssignale pro Empfangssensor 1 für die Signalvorverarbeitungsschaltung SV generiert werden.

- 5 Im Falle eines Kommunikationsendgeräts für die drahtgebundene Kommunikation kann das Signal-Empfangsmittel anstelle der Komponenten 1, 2, 3, 4 andere in der Technik bekannte Realisierungsformen aufweisen.
- 10 Die A/D-Umsetzer  $ADC(1), \dots, ADC(K)$  führen unabhängig voneinander eine Abtastung der K Sensorempfangssignale gemäß der Beschreibung zu Fig. 1 durch. Insbesondere wird dabei eine ausreichend hohe Abtastrate eingesetzt.
- 15 Die digitalen Ausgangssignale der A/D-Umsetzer  $ADC(1), \dots, ADC(K)$  werden K Eingängen  $E_1, \dots, E_K$  eines Konversionsmittels C zugeführt.

20 Im Signalweg hinter dem Konversionsmittel C befindet sich ein digitales Filtermittel DFM, das aus einer Anzahl von N parallel liegenden, voneinander unabhängigen digitalen Filtern  $DF(1), \dots, DF(N)$  besteht. Das digitale Filtermittel DFM weist somit in seiner allgemeinen Realisierung N Ausgänge auf.

- 25 Es gilt  $N < K$ . Das Konversionsmittel C hat die Aufgabe, eine diese Bedingung ermöglichende Verarbeitung der von den A/D-Umsetzern  $ADC(1), \dots, ADC(K)$  gelieferten Digitalsignale durchzuführen, wobei anhand der Fig. 4 und 5 zwei diesbezügliche Realisierungsmöglichkeiten erläutert werden.
- 30

Die N Ausgangssignale des digitalen Filtermittels DFM werden N einzelnen DSPs 5.1, ..., 5.N zugeführt und dann einer weiteren Signalverarbeitung gemäß Fig. 1 unterzogen.

35

Die Fig. 4 und 5 zeigen zwei praktische Ausführungsformen der Signalverarbeitungsschaltung SV für den Fall  $N = 1$ . Bei  $N =$

1 weist das digitale Filtermittel DFM nur ein digitales Filter DF(1) mit einem Filterausgang auf, das im folgenden mit DF' bezeichnet wird.

- 5 Nach Fig. 4 stehen am Ausgang der A/D-Umsetzer ADC(1), ..., ADC(K) jeweils die als Bit-Vektoren darstellbaren Digitalsignale  $S^{(1)} = (s^{(1)}_1, \dots, s^{(1)}_P)$ , ...,  $S^{(K)} = (s^{(K)}_1, \dots, s^{(K)}_P)$  zur Verfügung. Jeder der Vektoren  $S^{(1)}, \dots, S^{(K)}$  hat P Komponenten (Bits).

10

Die Digitalsignale werden den zugehörigen Eingängen E1, ..., EK des Konversionsmittels C zugeführt, d.h.  $S^{(1)}$  wird dem Eingang E1 zugeführt,  $S^{(2)}$  wird dem Eingang E2 zugeführt und ...  $S^{(K)}$  wird dem Eingang EK zugeführt.

15

Das Konversionsmittel C ist durch einen Multiplexer MUX realisiert. Am Ausgang des Multiplexers MUX ergibt sich der P-K-komponentige Vektor

20 
$$M = (s^{(1)}_1, s^{(2)}_1, \dots, s^{(K)}_1; \dots; s^{(1)}_P, s^{(2)}_P, \dots, s^{(K)}_P)$$

Das Ausgangssignal des Multiplexers MUX wird dem digitalen Filtermittel zugeführt, das wie bereits erwähnt aus einem einzigen digitalen Filter DF' besteht. Das digitale Filter DF' besitzt die Ordnung L. Es umfaßt somit L Multiplizierer M(1), M(2), ..., M(L) mit zugeordneten Filterkoeffizienten  $\alpha_1, \alpha_2, \dots, \alpha_L$  sowie eine Anzahl von (L-1) Schieberegistern T(1), ..., T(L-1). Jedes Schieberegister weist K Speicherplätze auf und verzögert das multiplexierte Signal daher um K Systemtakte.

30

Die Ausgänge der Multiplizierer M(1), M(2), ..., M(L) werden einem Addierer ADD zugeführt, der das Ausgangssignal A des digitalen Filters DF' erzeugt.

35

Ein Filterkoeffizientensatz  $(\alpha_1, \alpha_2, \dots, \alpha_L)$  definiert die Durchlaßbandbreite des digitalen Filters DF'. Das digitale

Filter DF' kann durch Austausch des Koeffizientensatzes als ein von außen konfigurierbares Filter ausgelegt sein.

Fig. 5 zeigt eine weitere Realisierungsmöglichkeit des Konversionsmittels C und des digitalen Filtermittels DFM. Auch hier ist  $N = 1$ , d.h. das digitale Filtermittel DFM ist durch ein einziges digitales Filter DF'' gebildet.

An den Eingängen  $E_1, E_2, \dots, E_K$  des Konversionsmittels C liegen wiederum die Digitalsignale der A/D-Umsetzer  $ADC(1), \dots, ADC(K)$  an. Das Konversionsmittel C weist hier  $K$  parallele, unabhängige Nullen-Einfüegeglieder  $Z_1, Z_2, \dots, Z_K$  auf. Jedes Nullen-Einfüegeglied  $Z_1, Z_2, \dots, Z_K$  fügt nach jedem Abtastwert des eingangsseitig einlaufenden Digitalsignals eine Anzahl von  $(K-1)$  Nullen ein und erhöht damit die Abtastrate auf das  $K$ -fache der Abtastrate der (nicht dargestellten) A/D-Umsetzer  $ADC(1), \dots, ADC(K)$ .

Die  $K$  Ausgänge des Konversionsmittels C werden  $K$  Eingängen des digitalen Filters DF'' zugeführt.

In dem Signalweg des von dem ersten Nullen-Einfüegeglied  $Z_1$  ausgegebenen Signals sind  $L-1$  Schieberegister  $T(1), T(2), \dots, T(L-1)$  in Reihe angeordnet. Jedes Schieberegister weist  $K$  Speicherplätze auf.

Ferner sind  $L$  Multiplizierer  $M(1), M(2), \dots, M(L)$  vorgesehen, die den betrachteten Signalweg an der Stelle vor dem ersten Schieberegister  $T(1)$ , an sämtlichen Stellen zwischen den genannten Schieberegistern  $T(1), \dots, T(L-1)$  und am Ausgang des letzten Schieberegisters  $T(L-1)$  abgreifen. Den Multiplizierern  $M(1), M(2), \dots, M(L)$  sind wiederum Filterkoeffizienten  $\alpha_1, \alpha_2, \dots, \alpha_L$  zugeordnet. Die Ausgänge der Multiplizierer  $M(1), M(2), \dots, M(L)$  werden einem Addierer ADD eingegeben.

11

Der dem zweiten Eingang des digitalen Filters  $DF''$  zugeordnete Signalweg unterscheidet sich von dem vorstehend beschriebenen ersten Signalweg konstruktiv lediglich dadurch, daß vor dem ersten Schieberegister  $T(1)$  ein einzelner, zusätzlicher Speicherplatz  $S$  vorgesehen ist.

Bei dem dem dritten Eingang des digitalen Filters  $DF''$  zugeordneten Signalweg (nicht dargestellt) sind vor dem ersten Schieberegister bereits zwei zusätzliche Speicherplätze angeordnet; diese Struktur setzt sich bezüglich der weiteren Eingänge fort, demzufolge im  $K$ -ten Signalweg  $(K-1)$  zusätzliche Speicherplätze  $S$  vor dem ersten Schieberegister  $T(1)$  angeordnet sind.

Fig. 5 zeigt anhand der Vektoren  $S^{(1)}$  bis  $S^{(K)}$  eine Momentaufnahme der Speicherplatzzustände. Bezüglich des ersten Signalwegs liegt das Bit  $s^{(1)}_1$  am Eingang des ersten Schieberegisters  $T(1)$  sowie an dem Eingang des ersten Multiplizierers  $M(1)$  an. Die ersten  $(K-1)$  Speicherplätze des ersten Schieberegisters  $T(1)$  weisen den Zustand 0 auf. Der letzte Speicherplatz von  $T(1)$  speichert den Wert des Bits  $s^{(1)}_2$ .

Eine Speicherplatzbelegung nach diesem Muster wiederholt sich für die restlichen Schieberegister  $T(2)$  bis  $T(L-1)$  im ersten Signalweg. Der letzte Speicherplatz des Schieberegisters  $T(L-1)$  speichert den Wert des Bits  $s^{(1)}_L$ .

Insgesamt weist der erste Signalweg eine Anzahl von  $K(L-1)$  Speicherplätzen auf.

Die Zustände der einzelnen Speicherplätze in den zweiten bis  $K$ -ten Signalwegen (bezüglich der Vektoren  $S^{(2)}$  bis  $S^{(K)}$ ) sind ebenfalls in Fig. 5 angegeben.

Es wird deutlich, daß das digitale Filter  $DF''$  insgesamt  $K\{K(L-1)+0,5(K-1)\}$  Speicherplätze aufweist.

Das Ausgangssignal A des digitalen Filters DF'' wird von dem Addierer ADD erzeugt. Die weitere Signalbearbeitung kann gemäß Fig. 1 erfolgen.

- 5 Die in den Fig. 4 und 5 dargestellten digitalen Filter DF', DF'' können in Kaskadenbauweise realisiert sein. Dies hat den Vorteil, daß zwischen den einzelnen Filtern der Filterkaskade Abtastraten-Reduzierschaltungen eingesetzt werden können, die in Richtung des Signalwegs eine sukzessive Ver-
- 10 ringerung des Rechenaufwands in den einzelnen Filtern gestatten.

- Die in den Fig. 4 und 5 gezeigten Strukturen repräsentieren letztendlich eine Rechenvorschrift, nach der die von den A/D-
- 15 Umsetzern ADC(1), ..., ADC(K) ausgegebenen Digitalsignale zu verarbeiten sind. Die Signalverarbeitungsschaltung SV kann daher im Gesamten oder abschnittsweise (beispielsweise nur bezüglich des digitalen Filtermittels DF' bzw. DF'') auch durch einen programmierbaren Signalprozessor realisiert sein,
- 20 der nach einem diese Rechenvorschrift umsetzenden Algorithmus arbeitet.

## Bezugszeichenliste

- 1 Empfangssensor
- 2 Verstärker
- 3 Mischstufe
- 4 Tiefpaßfilter
- 5, 5.1, 5.K, 5.N DSP
- 6 Endverstärker
- 7 Ausgabemittel

SV Signalvorverarbeitungsschaltung

ADC, ADC(1), ADC(K) A/D-Umsetzer

DF, DF(1), DF(K), DF(N), DF', DF'' digitales Filter

ADM A/D-Umsetzermittel

DFM digitales Filtermittel

C Konversionsmittel

E1, E2, EK Eingang

MUX Multiplexer

T(1), T(2), T(L-1) Schieberegister

M(1), M(2), M(L) Multiplizierer

ADD Addierer

Z1, Z2, ZK Nullen-Einfügeglied

S Speicherplatz

A Ausgang

## Patentansprüche

1. Empfängerschaltung für ein Kommunikationsendgerät, die
- ein Signal-Empfangsmittel (1, 2, 3, 4) und
  - 5 - eine im Signalweg hinter dem Signal-Empfangsmittel (1, 2, 3, 4) angeordnete Signalvorverarbeitungsschaltung (SV) enthaltend
  - ein Analog/Digital-Umsetzermittel (ADM) mit K parallel geschalteten Analog/Digital-Umsetzern (ADC(1), ..., ADC(K)), und
  - 10 - ein dem Analog/Digital-Umsetzermittel (ADM) nachgeschaltetes Filtermittel (DFM) mit N parallel geschalteten digitalen Filtern (DF(1), ..., DF(N); DF', DF'')
- umfaßt, wobei K und N ganze Zahlen größer oder gleich 1
- 15 sind,
- d a d u r c h g e k e n n z e i c h n e t,
- daß N kleiner als K ist, und
  - daß im Signalweg zwischen dem Analog/Digital-Umsetzermittel (ADM) und dem Filtermittel (DFM) ein diese Bedingung ermöglichendes Konversionsmittel (C) vorgesehen ist.
- 20
2. Empfängerschaltung nach Anspruch 1,
- d a d u r c h g e k e n n z e i c h n e t,
- daß N = 1 ist.
- 25
3. Empfängerschaltung nach Anspruch 1,
- d a d u r c h g e k e n n z e i c h n e t,
- daß das Konversionsmittel (C) einen Multiplexer (MUX) umfaßt.
- 30
4. Empfängerschaltung nach einem der vorhergehenden Ansprüche,
- d a d u r c h g e k e n n z e i c h n e t,
- daß das Konversionsmittel (C) mehrere, insbesondere K parallel geschaltete digitale Nullen-Einfüügeglieder (Z1, Z2, ..., ZK) umfaßt.
- 35



5. Empfängerschaltung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß ein digitales Filter (DF(1), ..., DF(N); DF', DF'') eine Ordnung L zwischen 5 und 20, insbesondere zwischen 10 und 18 aufweist.

6. Empfängerschaltung nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t,

- daß ein digitales Filter (DF(1), ..., DF(N); DF', DF'') aus einer Mehrzahl von in Reihe liegenden und alternierend angeordneten digitalen Einzelfiltern und Abtastraten-Reduzierschaltungen aufgebaut ist.

15

7. Empfängerschaltung nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß das Signal-Empfangsmittel (1, 2, 3, 4) einen einzigen Empfangssensor (1) enthält, welcher ein einziges Sensorempfangssignal abgibt, und
- daß die den K Analog/Digital-Umsetzern (ADC(1), ..., ADC(K)) zugeführten K Empfangssignale durch eine Signalaufspaltung, insbesondere durch eine Signalaufspaltung in ein Inphase- und Quadratur-Empfangssignal, des Sensorempfangssignals erzeugt werden.

8. Empfängerschaltung nach einem der Ansprüche 1 bis 6

d a d u r c h g e k e n n z e i c h n e t,

- 30 - daß das Signal-Empfangsmittel (1, 2, 3, 4) mehrere, insbesondere K oder K/2 Empfangssensoren (1) enthält.

9. Empfängerschaltung nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t,

- 35 - daß die Empfangssensoren (1) jeweils eine Richtempfangscharakteristik zur Erfassung von Funksignalen in einem definiert vorgebbaren Raumsegment besitzen.

10. Mobilstation eines Mobilfunksystems, enthaltend eine Empfängererschaltung nach einem der vorhergehenden Ansprüche.

5 11. Basisstation eines Mobilfunksystems, enthaltend eine Empfängererschaltung nach einem der vorhergehenden Ansprüche.

12. Verfahren zur Signalverarbeitung in einer Empfängererschaltung eines Kommunikationsendgeräts, bei dem

10 - ein im Signalweg hinter einem Signal-Empfangsmittel (1, 2, 3, 4) vorgesehenes Analog/Digital-Umsetzermittel (ADM) einer Signalvorverarbeitungsschaltung (SV) K analoge Empfangssignale mittels K parallel geschalteter Analog/Digital-Umsetzer (ADC(1), ..., ADC(K)) digitalisiert, und

15 - ein dem Analog/Digital-Umsetzermittel (ADM) nachgeschaltetes Filtermittel (DFM) mittels N parallel geschalteter digitaler Filtern (DF(1), ..., DF(N); DF', DF'') die von dem Analog/Digital-Umsetzermittel (ADM) ausgegebenen K Digital-  
20 signale filtert,

wobei K und N ganze Zahlen größer oder gleich 1 sind, dadurch gekennzeichnet,

- daß N kleiner als K ist, und

25 - daß ein im Signalweg zwischen dem Analog/Digital-Umsetzermittel (ADM) und dem Filtermittel (DFM) vorgesehenes Konversionsmittel (C) eine diese Bedingung ermöglichende Signalbearbeitung der K Digitalsignale durchführt.

13. Verfahren nach Anspruch 12,

30 dadurch gekennzeichnet,

- daß im Konversionsmittel (C) die K Digitalsignale in N Eingangssignale für das Filtermittel (DFM) multiplexiert werden.

35 14. Verfahren nach Anspruch 12,

dadurch gekennzeichnet,

16

- daß das Konversionsmittel (C) bei jedem der K Digitalsignale zwischen zwei aufeinanderfolgenden Bits eine vorgegebene Anzahl von Bits des Werts 0 einfügt.

## Zusammenfassung

Empfängerschaltung für Kommunikationsendgerät und Verfahren zur Signalverarbeitung in einer Empfängerschaltung

5

Eine Empfängerschaltung für ein Kommunikationsendgerät umfaßt eine Signalvorverarbeitungsschaltung (SV), welche ein Analog/Digital-Umsetzermittel (ADM) mit K parallel geschalteten Analog/Digital-Umsetzern (ADC(1), ..., ADC(K)), ein Konversionsmittel (C) und ein dem Konversionsmittel (C) nachgeschaltetes Filtermittel (DFM) mit N parallel geschalteten digitalen Filtern (DF(1), ..., DF(N)) umfaßt. Dabei ist N eine ganze Zahl größer oder gleich 1 und kleiner als K.

15 (Fig. 3)

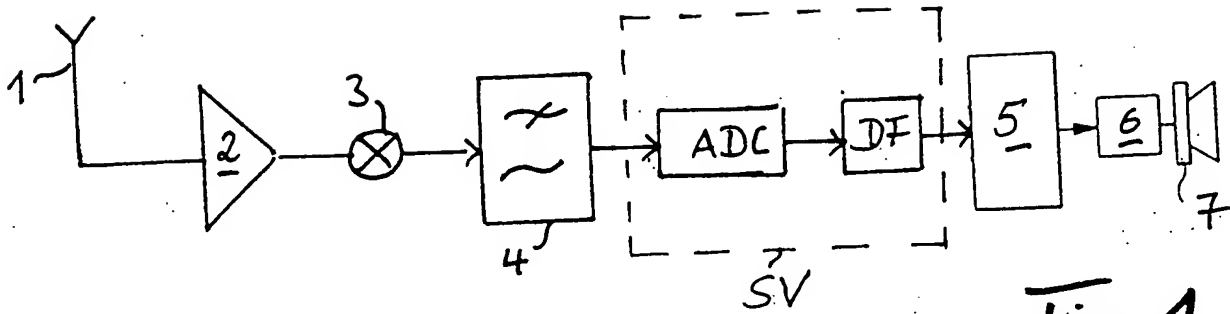
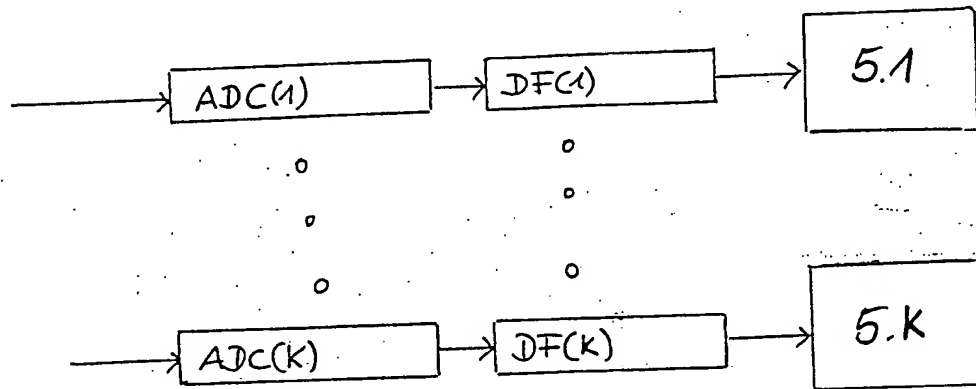


Fig. 1



(Stand der Technik)

Fig. 2

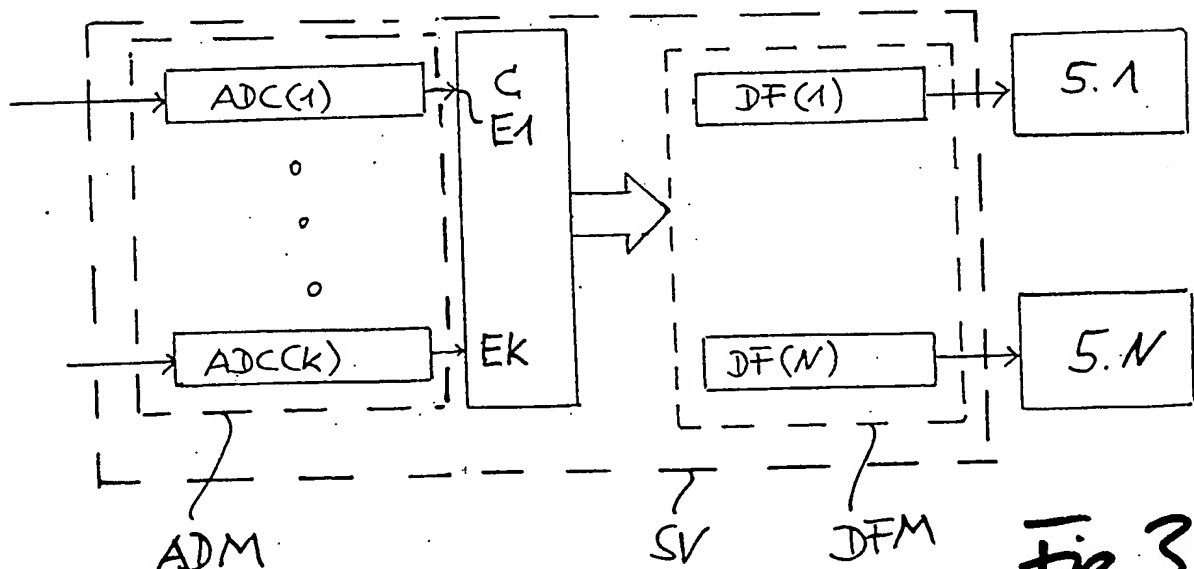


Fig. 3

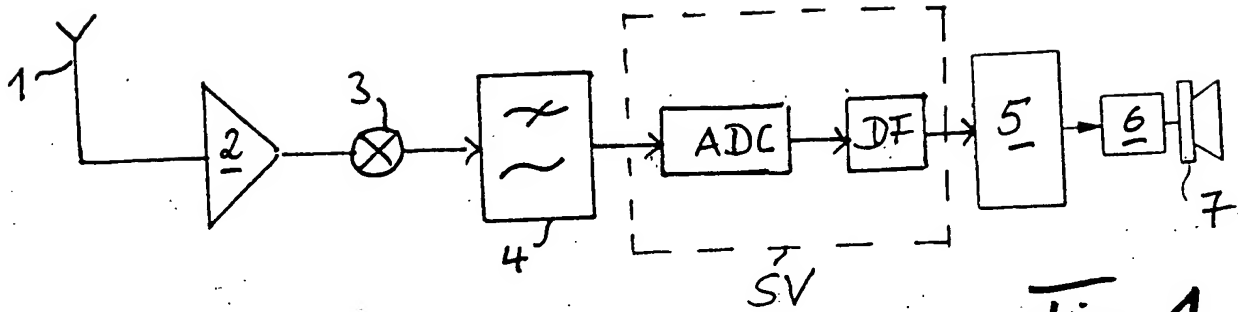
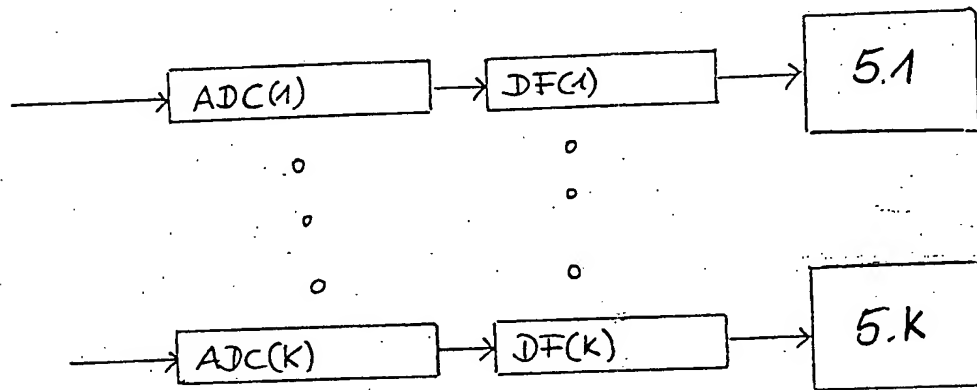


Fig. 1



(Stand der Technik)

Fig. 2

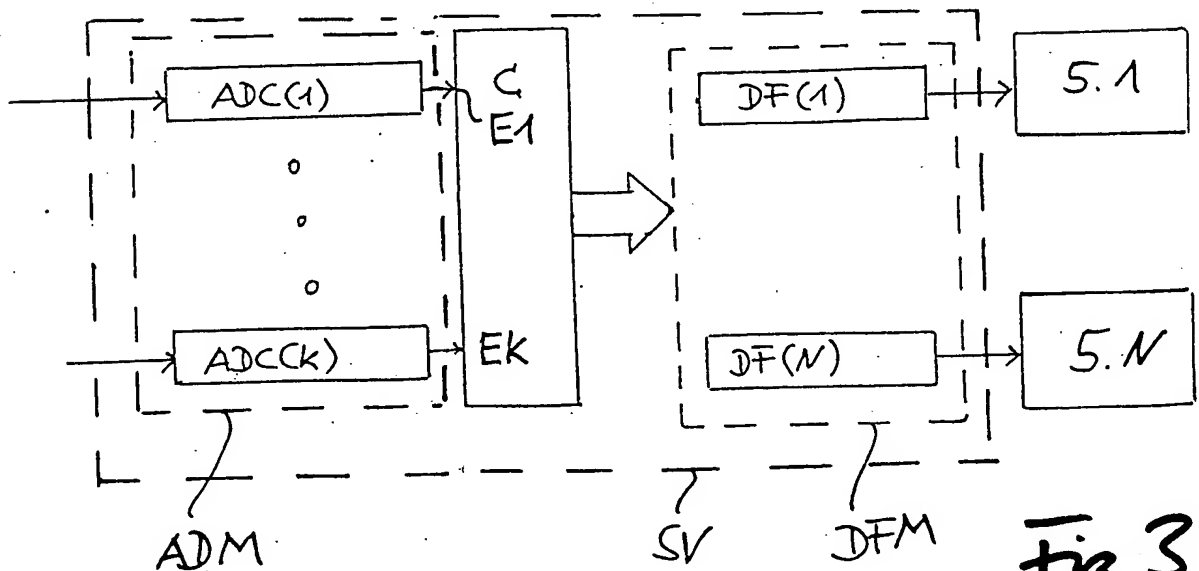


Fig. 3

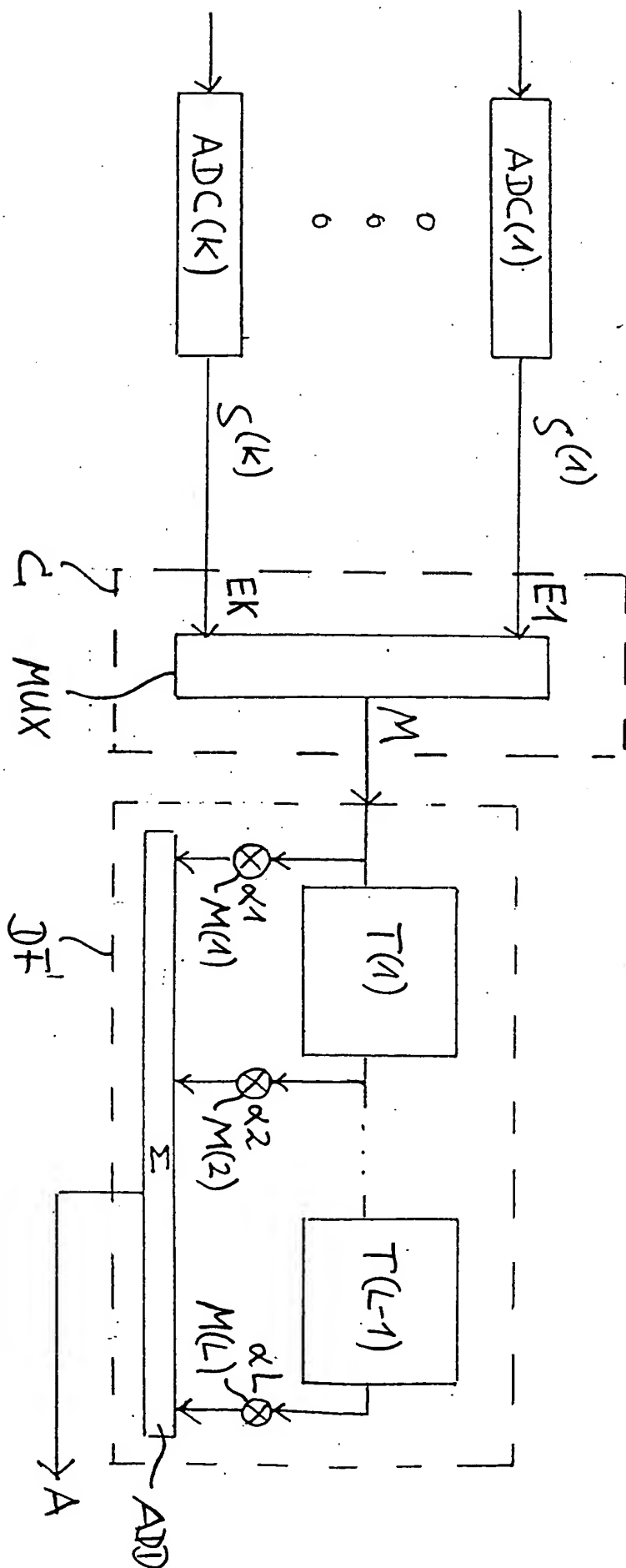


Fig. 4

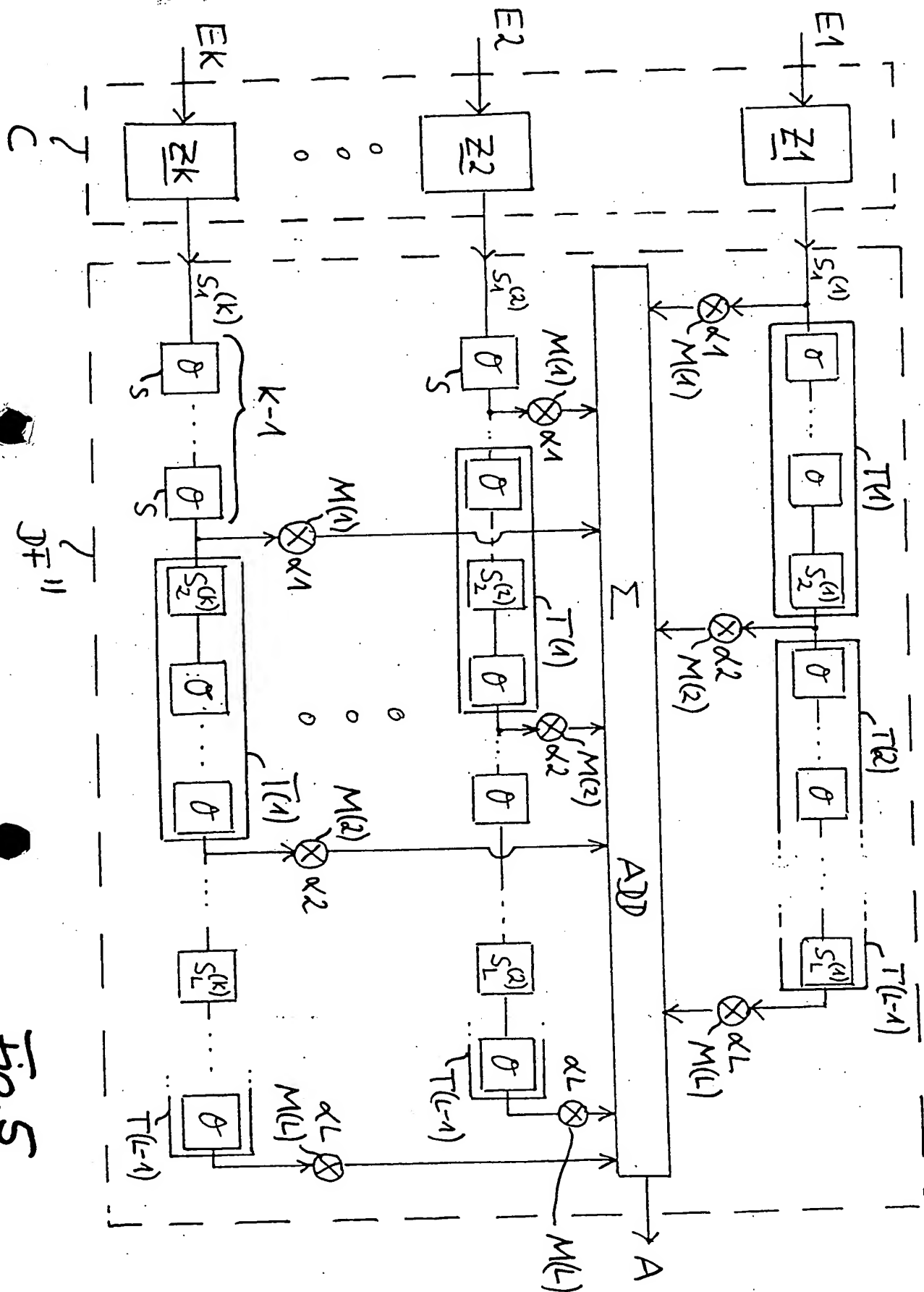


Fig. 5